

PAT-NO: JP360143636A  
DOCUMENT-IDENTIFIER: JP 60143636 A  
TITLE: ELECTRONIC COMPONENT PARTS  
PUBN-DATE: July 29, 1985

## INVENTOR-INFORMATION:

NAME  
YAMADA, TOMIO  
TSUSHIMA, KUNIO

## ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP59140525

APPL-DATE: July 9, 1984

INT-CL (IPC): H01L021/58, H01L023/12

US-CL-CURRENT: 257/677, 257/E23.054

## ABSTRACT:

PURPOSE: To obtain a low-price electronic component parts, lead frame, which has superior bonding properties for mounting to a semiconductor chip, by a method wherein nickel thin films or alloy thin films of the nickel family is coated on one main surface of a substrate having been mainly made with copper, copper thin films of a specific thickness are coated thereon, and the semiconductor chip is mounted thereon through silver films.

CONSTITUTION: A lead frame 1 is formed by superposing

nickel thin films 3,  
0.3~3.5 $\mu$ m thick copper thin films 4 and silver films  
5 on a substrate 2  
consisting of a copper or an alloyed sheet having been  
mainly made with copper  
by a plating method, etc. The lead frame 1 constituted in  
such a way has been  
made to interpose the nickel thin films 3 and the copper  
thin films 4, both  
having an excellent adhesion, between the substrate 2 and  
the silver films 5  
when the silver films 5 are provided on the substrate 2.  
Accordingly, when this  
lead frame 1 is soldered to a semiconductor chip in the  
mounting and assembling  
process, the lead frame 1 and the semiconductor chip can be  
completely fixed  
together with the excellent soldering properties (excellent  
adhesion) of the  
lead frame 1 even though the soldering is performed under a  
high-temperature  
treatment of more than 400°C. Moreover, as the copper  
thin films 4 are  
available at a cost lower than the thin films of a gold  
material, there is no  
possibility at all that the cost of the lead frame 1 is  
raised.

COPYRIGHT: (C)1985,JPO&Japio

## ⑪ 公開特許公報 (A) 昭60-143636

⑫ Int.Cl.  
H 01 L 21/58  
23/12識別記号 庁内整理番号  
6679-5F  
7357-5F

⑬ 公開 昭和60年(1985)7月29日

審査請求 有 発明の数 1 (全3頁)

⑭ 発明の名称 電子部品

⑮ 特 願 昭59-140525  
 ⑯ 出 願 昭51(1976)6月9日  
 ⑰ 特 願 昭51-66553の分割

⑱ 発明者 山田 富男 小平市上水本町1450番地 株式会社日立製作所武蔵工場内  
 ⑲ 発明者 津島 邦夫 小平市上水本町1450番地 株式会社日立製作所武蔵工場内  
 ⑳ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
 ㉑ 代理人 弁理士 高橋 明夫 外1名

## 明細書

発明の名称 電子部品

## 特許請求の範囲

銅を主成分とする基体一面にニッケル薄膜またはニッケル系合金薄膜が被覆され、その薄膜上に厚さ0.3~3.5μmの銅膜が被覆され、そしてその銅膜上に銀膜を介して半導体チップが取りつけられていることを特徴とする電子部品。

## 発明の詳細な説明

本発明は、半導体装置等の電子部品に関する。半導体装置のうち特にパワーIC、パワートランジスタなどに用いられるリードフレームとしては、熱伝導度の良好な銅または銅を主成分とする合金体を基材とし、これにポンダビリティの良好的な銀メッキを施すことが考えられている。例えば、特開昭50-47566号公報に開示されている。

しかしながらこの種のリードフレームにICチップまたはトランジスタチップなどの半導体チップをダイボンディングする際は、金シリコン共晶合金を用いて430℃前後の加熱によって行なう

ために、リードフレームの銅が共晶合金層内やICチップまたはトランジスタチップ内に多量に侵入してこれらのチップにクラックが発生したりチップを破損したりする問題がある。これを避けるために銅を主成分とする基体にニッケルメッキ薄膜あるいはニッケル薄膜と金ストライク薄膜を重疊した薄膜を介して銀メッキを施して改善することが考えられる。しかし前者のリードフレームすなわちニッケルメッキ薄膜を介在したものは、チップのポンダビリティが悪く、また実装組立工程でのリードのはんだ付けすなわち密着性が悪くなり、実装組立装置の仕様を変更したり窒素ガス等の不活性ガス中にて実装組立作業を行なう必要がある等の欠点がある。また後者のリードフレームすなわちニッケルメッキ薄膜と金ストライク薄膜を重疊した薄膜を介在したものは、上述した諸欠点が解決されるのに反し、高価な金を用いることよりリードフレームのコストが高いものとなる欠点を有する。

それゆえ本発明の目的は、上述した欠点を解決

した安価でかつ半導体チップのボンディング性が良好な電子部品を提供することにある。

このような目的を達成するために本発明においては、銅を主成分とする基体ー正面にニッケル電膜またはニッケル系合金電膜が被覆され、その電膜上に厚さ0.3~3.5μmの銅膜が被覆され、そしてその銅膜上に銀膜を介して半導体チップが取りつけられていることを特徴としている。

以下、本発明にかかる実施例を用いて具体的に説明する。

第1図は、本発明の一実施例であるパワーICのリードフレームの平面図、第2図は、第1図のA-A'切断面の要部の拡大断面図である。同図において、1は、一辺のリードフレームである。本発明にかかるリードフレーム1は、銅または銅を主成分とする合金からなる基体(200~500μm)2に1~4μmのニッケル電膜3がメッキなどにより被覆され、このニッケル電膜3表面に0.3~3.5μmの銅電膜4が形成され、この銅電膜4表面に4~14μmの銀膜5が設けられ

たものである。これらの度すなわちニッケル電膜3、銅電膜4、銀膜5は、メッキ法などにより容易かつ簡単に銅を主成分とする基体1上に重畠して形成することができる。

したがって本発明にかかるリードフレーム1は、熱伝導度の良好な銅を主成分とした基体2であるために、放熱性が良い。また、この基体2上にポンダビリティ並びに熱伝導度の良好な銀膜5を設ける際、密着性のよいニッケル電膜3および銅電膜4をそれらの間に介在させている。そのため、このリードフレーム1のダイにICチップ(シリコンペレット)を金シリコン共晶合金を用いてダイボンディングする際、基体2の銅がこの共晶合金内やシリコンペレット内に侵入しようするとニッケル電膜3によってブロックできる。したがって本発明にかかるリードフレームは、ダイボンディングの際、基体2の銅によりシリコンペレットすなわちICチップにクラックが発生したり破損したりすることがない。なお、本発明にかかるリードフレーム1においては、銀膜5下に銅電膜

(3)

(4)

4があり、これより金シリコン共晶合金やシリコンペレットに銅が侵入するが、上記銅電膜4を0.3~3.5μmとすることにより、その侵入量がわずかとなり、シリコンペレットにクラックや破損を生じさせるまでには至らない。

また、本発明にかかるリードフレーム1は、銀膜5下に銅電膜を有するものであるために、実験組立工程においてこのリードをはんだ付けする際、400℃以上の高温処理にて行なっても良好なはんだ付け性(良好な密着性)をもって完全にそれを固着することができる。このはんだ付け性を従来のリードフレーム(銅を基材とし、これにニッケル電膜を介してポンダビリティの良好的な銀メッキ膜を被覆したもの)と比較してみると下表のような実験結果が得られる。

	はんだ付けする際の 加熱処理温度と処理時間				
	300℃ 5分間	350℃ 4分間	400℃ 4分間	420℃ 4分間	450℃ 2分間
本発明にかかるリードフレーム	良品	良品	良品	良品	良品
従来のリードフレーム	良品	普通品	不良品	-	-

(5)

なお、上表においてははんだ付け性の判定条件としては、はんだとして鉛40%とスズ60%の組成のものでロジンをフラックスとして使用し、ディープ時間は1回につき5秒間とし、このディップ作業を1回~7回まで順次繰り返し行なって、それぞれにおいてははんだ濡れ面積が95%以上のものを良品とし、85~95%のものを普通品とし、85%未満のものを不良品とするものである。そしてこの銅電膜4は、従来の金電膜にわかるものであるが、金材料に比して極めて安価なものであるためにリードフレーム1のコストをあげることはない。

本発明にかかるリードフレーム1は、上述したリードフレーム1におけるニッケル電膜3のかわりに、Niの合金メッキ電膜(P)を含有したニッケル電膜(無電解メッキ法にて形成できるもの)、スズ(Sn)またはコバルト(Co)を含有したニッケル電膜(硬質のリードフレームが得られる)、ボロン(B)を含有したニッケル電膜(はんだ付け性がより改善できる)を用いることができる。

(6)

本発明にかかる電子部品の外部リードは、上述したパワーICのリードフレームに限定されず、種々の基板の半導体装置、ハイブリッド素子などの電子部品に用いる外部リードに適用できるものである。

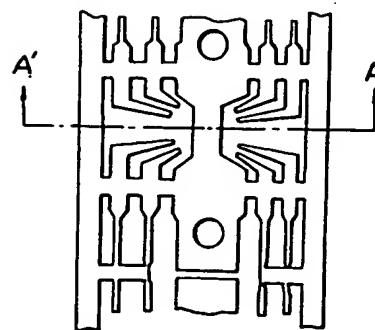
## 図面の簡単な説明

第1図は、本発明にかかるパワーICのリードフレームを示す平面図、第2図は、第1図のA-A'切断面の要部の拡大断面図である。

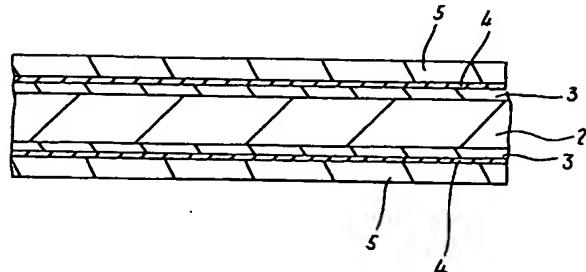
1・・・リードフレーム、2・・・銅を主成分とする基板、3・・・ニッケル薄膜、4・・・銅薄膜、5・・・銀膜。

代理人 弁理士 高橋 明夫

第 1 図



第 2 図



(7)